

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064145

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H01L 21/822
G06F 11/20
G06F 12/08
G06F 12/16
G06F 15/16
H01L 27/04
H01L 27/12

(21)Application number : 2001-166161

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.06.2001

(72)Inventor : ROBERT P MASURIDO
GREGORY S SCOTT

(30)Priority

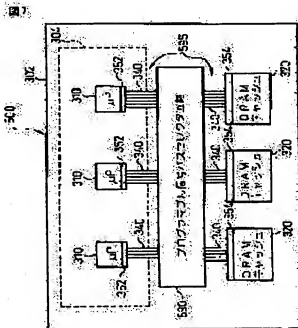
Priority number : 2000 590552 Priority date : 09.06.2000 Priority country : US

(54) INTEGRATED CIRCUIT CHIP HAVING REDUNDANCY ELEMENT, MULTIPROCESSOR AND METHOD OF MANUFACTURING THE SAME

(57)Abstract

PROBLEM TO BE SOLVED: To provide an integrated circuit chip with which a manufacturing yield of the chip is greatly improved.

SOLUTION: This is an integrated circuit for a multiprocessor. This multiprocessor chip has a microprocessor formed on a silicon-on-insulator region, and a level-2 or level-3 cache memory of a dynamic random access memory formed on a bulk region of a chip. A programmable selector circuit for bypassing a defective microprocessor or a defective level-2 or level-3 cache memory is included in a signal path. There is included a redundancy architecture having a signal path for connecting the microprocessor to the level-2 or level-3 cache memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-64145
(P2002-64145A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl.	識別記号	F I	テマート (参考)
H 0 1 L 21/822		G 0 6 F 11/20	3 1 0 A 5 B 0 0 5
G 0 6 F 11/20	3 1 0	12/08	5 1 3 5 B 0 1 8
12/08	5 1 3		5 5 3 Z 5 B 0 3 4
5 5 3		12/16	3 1 0 P 5 B 0 4 5
12/16	3 1 0	15/16	6 4 0 B 5 F 0 3 8
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く			

(21) 出願番号 特願2001-166161 (P2001-166161)

(22) 出願日 平成13年6月1日 (2001.6.1)

(31) 優先権主張番号 09/590552

(32) 優先日 平成12年6月9日 (2000.6.9)

(33) 優先権主張国 米国 (US)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号(72) 発明者 ロバート ビー、マズリド
アメリカ合衆国、カリフォルニア 95030,
モンテ セレノ、イートン レーン
17266

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

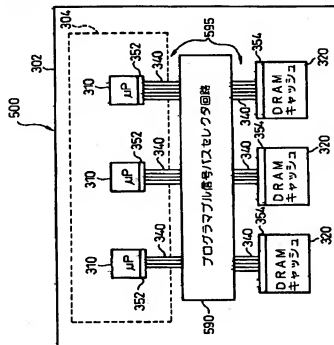
(54) 【発明の名称】 冗長素子を備える集積回路チップ、マルチプロセッサおよびその製法

(57) 【要約】

【課題】 チップの製造歩留りを大幅に改善させた集積回路チップを提供する。

【解決手段】 マルチプロセッサの集積回路である。このマルチプロセッサチップは、シリコンオンインシュレータ領域上に形成されたマイクロプロセッサおよびチップのバルク領域上に形成されたダイナミックランダムアクセスメモリレベル2またはレベル3 キャッシュメモリを有する。欠陥マイクロプロセッサまたは欠陥レベル2またはレベル3 キャッシュメモリをバイパスするためのプログラマブルセクタ回路を信号バスに含み、レベル2またはレベル3 キャッシュメモリにマイクロプロセッサを結合させるための信号バスを有する冗長なアキテクチャが含まれる。

図7



【特許請求の範囲】

【請求項1】 冗長素子を備える集積回路チップにおいて、

基板ダイと、

各々データインタフェースを有する前記基板ダイ内に配置された複数のマイクロプロセッサと、

複数のキャッシュメモリであって、該キャッシュメモリにアクセスするため少なくとも1つのメモリアインタフェースを有する、前記基板ダイ内に配置された複数のキャッシュメモリと、

情報を処理するために使用される前記複数のマイクロプロセッサのサブセットを選択するために、各選択されたマイクロプロセッサのデータインタフェースを1つの選択された前記キャッシュメモリのメモリアインタフェースにリンクするプログラマブルセレクト回路を含む、前記基板ダイ内に配置された信号バスと、

を含んでなる集積回路チップ。

【請求項2】 前記基板ダイが、少なくとも1つのバルク領域および少なくとも1つのシリコンオンインシュレータ領域を有する導電性シリコン基板を含んでなり、前記キャッシュメモリが前記少なくとも1つのバルク領域上に存在するダイナミックランダムアクセスメモリであり、前記マイクロプロセッサが前記少なくとも1つのシリコンオンインシュレータ領域上に存在する請求項1に記載の集積回路チップ。

【請求項3】 シリコン基板ダイであって、少なくとも1つのバルク領域および少なくとも1つのシリコンオンインシュレータ領域を有し、該シリコンオンインシュレータ領域は結晶質シリコンの外部表面層から予め選択された距離のところに存在する埋込み酸化物層を含む、シリコン基板ダイと、

各々前記少なくとも1つのシリコンオンインシュレータ領域内に形成され、かつ、各々データインタフェースを有する、複数のマイクロプロセッサと、

複数のダイナミックランダムアクセスメモリ (DRAM) キャッシュメモリであって、前記少なくとも1つのバルク領域内に形成され、各々メモリアクセス用のメモリアインタフェースを有する、複数のダイナミックランダムアクセスメモリ (DRAM) キャッシュメモリと、

パラレルプロセッサとして前記キャッシュメモリの1つの対応するメモリアインタフェースに1つのマイクロプロセッサのデータインタフェースをリンクするための相互接続ワイヤを有する、前記基板上に形成された高帯域信号バスと、

を含んでなるマルチプロセッサチップ。

【請求項4】 シリコン基板ダイであって、少なくとも1つのシリコンオンインシュレータ領域および少なくとも1つのバルク領域を有し、該シリコンオンインシュレータ領域は、結晶質シリコンの外部表面より下へ予め選択された距離のところに存在する埋込み酸化物層を

含むシリコン基板ダイと、

各々前記少なくとも1つのシリコンオンインシュレータ領域内に形成され、データインタフェースを各々有する複数のマイクロプロセッサと、

複数のメモリであって、前記少なくとも1つのバルク領域内に形成され、各々該メモリにアクセスするためのメモリアインタフェースを有する、複数のダイナミックランダムアクセスメモリ (DRAM) レベル2キャッシュメモリと、

10 パラレルプロセッサとしてレベル2キャッシュメモリの1つの対応するメモリアインタフェースに1つのマイクロプロセッサのデータインタフェースをリンクするための相互接続ワイヤを有する前記基板上に形成された高帯域信号バスであって、並列処理のために使用すべき前記メモリおよび前記複数のマイクロプロセッサのサブセットを選択するためのプログラマブルセレクト回路を含み、かつこのセレクト回路が各々の選択されたマイクロプロセッサのデータインタフェースを1つの選択されたキャッシュメモリのメモリアインタフェースにリンクし、かくして欠陥マイクロプロセッサまたは欠陥メモリをバイパスする高帯域信号バスと、

を含んでなるマルチプロセッサチップ。

【請求項5】 シリコン基板上にマルチプロセッサチップを形成する方法において、

a) マスクされた領域およびマスクされない領域を形成すべく基板をマスクする段階と、

b) マスクされた領域内のバルク領域およびマスクされない領域内の基板表面の下側の注入領域を形成するように選択された、エネルギーおよびドーズ量を有する酸素イオン注入を前記基板に行う段階と、

30 c) 前記注入領域内でシリコンオンインシュレータを形成すべく前記基板をアニールする段階と、

d) 深紫外線リソグラフィを通して前記注入領域内で高密度マイクロプロセッサを形成する段階と、

e) 前記基板のバルク領域内でダイナミックランダムアクセスメモリユニットを形成する段階と、

f) 信号バスを介して前記マイクロプロセッサに前記メモリユニットを結合するために信号バスを形成する段階と、を含んでなる方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般に、マルチプロセッサ、冗長回路および高速マイクロプロセッサに関する。より特定的に言うところ、本発明は、シリコンオンインシュレータ上に製造されたマイクロプロセッサおよびバルクシリコン上に製造されたダイナミックランダムアクセスメモリ素子を有する冗長アーキテクチャを伴うマルチプロセッサチップに関する。

【0002】

【従来の技術】 多重処理とは、並列処理を実施するため

に複数のマイクロプロセッサを使用することである。多重処理を実施するための装置は、標準的にマルチプロセッサまたはパラレルプロセッサと呼ばれる。マイクロプロセッサの動作を調和させ、マルチプロセッサをネットワークに結合するための共通制御ロジックがいくつか存在する。マイクロプロセッサは標準的に、1またはそれ以上のプリント回路板上にあるメモリユニットおよびマイクロプロセッサのシステムと共に別々のチップ上に存在する。メモリの異なるレベルにマイクロプロセッサを結合するために信号バスが使用される。

【0003】多重処理の1つの一般的なアプリケーションは、銀行または金融取引といったような、取引全体に並行して処理することが望まれるトランザクション処理である。トランザクションプロセッサは好ましくは、高帯域信号バスによりネットワークに結合された多数の高速マイクロプロセッサを有する。

【0004】

【発明が解決しようとする課題】マルチプロセッサシステムの各マイクロプロセッサは、標準的に、マイクロプロセッサに近い小型高速キャッシュメモリおよびマイクロプロセッサからさらに離れたより大型でより低速の主メモリを含む多重レベルメモリ階層を有する。キャッシュメモリは標準的に、マイクロプロセッサが通常メモリに比べさらに迅速にアクセスできるランダムアクセスメモリ(RAM)である。各マイクロプロセッサは、データおよび命令を見出すために、まず最初にその対応するキャッシュメモリを参照する。キャッシュメモリは、近接性、サイズおよびマイクロプロセッサに対するアクセス可能性のレベルを有する。キャッシュメモリの各レベルは、標準的にその先行レベルよりも多くのメモリを有するが、その代わりアクセス時間は長くなる。レベル1(L1)のキャッシュメモリは、その対応するマイクロプロセッサと同じチップ上に存在し、約32キロバイトまたはそれ以上のサイズを有し得る。近年のマイクロプロセッサでは、レベル2(L2)のキャッシュメモリは標準的にチップ外に存在するが、一部のマイクロプロセッサチップは、低容量のスタティックランダムアクセスメモリ(SRAM)として実現されたL2のキャッシュメモリを含んでいる。標準的にはL2キャッシュメモリは、SRAMとしてまたはマイクロプロセッサとは異なるチップ上にあるダイナミックランダムアクセスメモリ(DRAM)として実現される。一般的なオフチップL2キャッシュメモリサイズは、1メガバイトL2キャッシュである。レベル3(L3)のキャッシュメモリは常にオフチップで存在し、往々にして、約4メガバイトから32メガバイトまでの間のサイズをもつDRAMとして実現される。各キャッシュメモリは、しばしば、別々のデータおよび命令キャッシュに分割される。

【0005】図1は、複数のマイクロプロセッサチップ110を含む従来のマルチプロセッサシステム100の

例示的ブロック図である。各マイクロプロセッサチップ110はそれ自身のL2キャッシュメモリチップ120を有し、ネットワーク信号バス140を介してその他のメモリ素子(例えばL3キャッシュメモリチップ130)に結合される。従来のチップエッジピン1/O接続150およびワイヤ155が、各マイクロプロセッサチップ110をその対応するL2キャッシュメモリチップ120に結合させるために使用される。

【0006】個々のマイクロプロセッサの速度は向上し続けており、一部のシリコンマイクロプロセッサは約1GHzのクロック速度を有する。しかしながら、従来のマルチプロセッサのシステム性能は、マイクロプロセッサ性能の向上に追従できていない。これは、各マイクロプロセッサの速度が増大するにつれて、各マイクロプロセッサとそのメモリとの間でデータを転送できる速度によって、マルチプロセッサシステムの性能が決定される傾向が、益々強くなっているからである。これは、メモリ帯域のボトルネックとして一般に知られている。メモリ帯域は、ビット/秒でのデータ搬送容量と定義づけられている。ランダムアクセスメモリ(RAM)のメモリ帯域は、RAMの定格速度と、RAMへのRAMからのデータ経路のサイズとの関数である。一部のマイクロプロセッサシステム、特に大型L2キャッシュおよび1GHzに近づくマイクロプロセッサクロック速度を有するシステムにおいては、データおよび命令をオフチップL2キャッシュからアクセスするには10〜20クロックサイクルまたはそれ以上かかる。

【0007】オフチップL2キャッシュメモリを有するマイクロプロセッサのメモリ帯域は、従来のエッジピン1/O接続150およびワイヤ155が各マイクロプロセッサチップ110とそれに付随するL2キャッシュメモリチップ120との間で制限されたデータ結合能力を有するため、制限されている。1GHzに近づくクロック周波数では、単一のワイヤ155は、大きな抵抗およびキャパシタンスをもつ損失伝送ラインとしてモデル化され得る。ワイヤ155に沿って転送された1つのデータパルス(ビット)は、ワイヤ155の経路長と関連するかなりの伝播遅延(通過時間)を有することになる。また、ワイヤリード155のインピーダンスおよびエッジピン1/O接続の寄生インピーダンスと関連する立上り時間も存在する。かくしてワイヤ155を介し各マイクロプロセッサチップ110とそのL2キャッシュメモリとの間でデータを転送するには多大なチップ間の時間遅延が存在する。また、マイクロプロセッサチップ110とL2キャッシュメモリチップ130との間で転送できるデータの1秒あたりのビット数についての見地、各ワイヤ155の最大データ速度(帯域)も存在する。また、エッジピン1/O接続150に結合できるワイヤ155の数も制限されている。これらの全ての組合せの結果が、オフチップL2キャッシュメモリからのデータワ

ードをマイクロプロセッサに通信し得る速度に制限を加え、また、データワードの通信のための大きな待ち時間（時間遅延）をも結果としてもたらす。

【0008】図2に示されているように、オフチップL2キャッシュメモリを備えるマイクロプロセッサシステム100は、低帯域接続160によりオフチップL2キャッシュメモリ120に結合された各マイクロプロセッサ110を有するものとしてモデル化され得る。接続の待ち時間（通過時間）は、矢印の長さによって表わされている。矢印の幅は、それが通信できる信号の数に対応している。接続160の小さな帯域は、図2において矢印160の幅の狭さと同様に例示されている。図3に示されているように、マイクロプロセッサ110と同じチップ197上に配置されたオンチップL2キャッシュメモリ175が、矢印195の幅の広さと短かい長さによって表わされているように、信号経路の帯域を増大させる。しかしながら、従来のオンチップSRAMメモリは、図3中のオンチップキャッシュメモリ175の小さな面積によって表わされているように、SRAMメモリの合計データサイズが比較的小さくなるような低い密度を有する。これはまた、各マイクロプロセッサがオフチップL3キャッシュメモリからのデータおよび命令をアクセスしなければならない周波数を増大させることから、より小さいL2キャッシュメモリはシステム性能を低下させることになるため、望ましくないことである。

【0009】残念なことに、既知の技術では、許容できる歩留り、生産性（ウェーハあたりのチップ数）およびプロセス互換性をもって、単一チップ上に全てのマイクロプロセッサ110およびマルチプロセッサの大容量L2キャッシュメモリ120を集積させることは実用的ではない。生産性を制限している1つの要因は、コンポーネントユニットのサイズに関連している。各マイクロプロセッサは、キャッシュと同様、多大な面積を使う。スタティックランダムアクセスメモリ（SRAM）L2キャッシュメモリを製造するためのプロセス段階は、高速マイクロプロセッサを製造するために使用されるプロセス段階と互換性あるものであるが、SRAML2キャッシュは、SRAMのデータ密度が低いことからそのメモリ容量が制限されている。かくして、従来のダイサイズ内に複数の従来のマイクロプロセッサおよび複数の大容量SRAMキャッシュメモリを含めることは、実用的ではない。DRAMメモリは、標準的にSRAMより密度が10倍高いものであるが、商業用DRAMプロセッサは、高速マイクロプロセッサを製造するのに使用されるプロセス段階と往々にして互換性のない製造段階を使用する。例えば、高密度L2DRAMメモリを製造するために一般に使用されるプロセス段階の中には、マイクロプロセッサの速度を低下させることになるものもある。特に、DRAMメモリを製造するために必要とさ

れる付加的なプロセス段階からの熱供給の増大は、マイクロプロセッサのトランジスタを劣化させる可能性がある。また、高性能マイクロプロセッサを製造するために使用される処理段階の中には、商業用DRAMプロセスと互換性がないものもある。例えば、DRAMは、そのDRAM中で過度の漏れ電流のため、シリコンオンインシュレーター構造で製造することができない。漏れ電流は、DRAMにとって許容し得ないフレッシュ速度をもたらす。別の考慮事項は、チップ歩留りであるが、これはチップ歩留りが低いとプロセスが不経済なものになる可能性があるからである。全てのマイクロプロセッサおよびマルチプロセッサのL2キャッシュメモリを1つのチップ上に集積させると、全体のコンポーネント数は増大し、そのため周知の確率の法則（laws of probability）に従って、チップ歩留りは減少傾向を示す。

【0010】最近に至るまで、別々のマイクロプロセッサチップおよび別々の大データ容量L2キャッシュメモリチップを有するようマルチプロセッサを設計するアプローチは、シリコンベースのマイクロプロセッサが比較的低い（例えば1GHzの数の10）クロック速度を有していたことおよび半導体実装技術がチップ間接続の帯域を著しく改善する能力をもっていたため、成功を収めてきた。しかしながら、従来の実装技術により付与されるチップ間信号帯域は、数多くの物理的制限があり、マイクロプロセッサ速度と同じ速度で増大することが期待できない。オフチップL2キャッシュメモリを有するマルチプロセッサのメモリ帯域の制限は、かくしてマルチプロセッサ、特にトランザクションプロセッサの処理速度におけるさらなる改善を達成する上で益々重大なボトルネックとなるものと予想されている。

【0011】従って、1つのチップ上に集積された高速マイクロプロセッサおよび高密度L2キャッシュメモリを有するマルチプロセッサチップを形成するための改良された方法およびアーキテクチャに対するニーズがある。

【0012】

【課題を解決するための手段】広義では、本発明は一般に、a) 1つのチップ上に集積されたシリコンオンインシュレーター（SOI）マイクロプロセッサとダイナミックランダムアクセスメモリ（DRAM）キャッシュメモリとを有する集積回路チップを製造するための装置および方法、およびb) 特にSOIマイクロプロセッサおよびDRAMキャッシュメモリを持つマルチプロセッサチップといった、マイクロプロセッサおよびオンチップキャッシュメモリを有するチップの歩留りを改善するための冗長アーキテクチャを含む。

【0013】本発明の一実施形態によると、信号バスによってリンクされた複数のマイクロプロセッサと複数のキャッシュメモリとを有する集積回路チップが提供される。信号バスは、各選択されたマイクロプロセッサとレ

ベル2キャッシュメモリとの間で信号リンクを形成するためのプログラマブルセレクト回路を含む。好ましい実施形態では、このチップは、少なくとも1つの冗長マイクロプロセッサを含む。1つの変形実施形態においては、マイクロプロセッサおよびL2キャッシュメモリといったような大部分の面積コンポーネントは全て、少なくとも1つの冗長素子を有する。プログラマブル信号バスは、欠陥マイクロプロセッサまたは欠陥キャッシュメモリといったような欠陥コンポーネントを無効にし無視することを可能にする。

【0014】マルチプロセッサチップに係る本発明の一実施形態によると、マイクロプロセッサは、埋込み酸化物層を有するSOI領域上に製造され、一方キャッシュメモリは基板のバルクシリコン領域上に製造される。SOI領域を製造するための好ましいプロセスには、マイクロプロセッサ領域内の有害な拡散を低減させるように配置されたプロセス段階を有するトレンチDRAMとして製造されたキャッシュメモリと共にSOI領域内に埋込み酸化物層を形成するためのマスクされた酸素イオン注入およびアニリングが含まれる。キャッシュメモリは好ましくは、チップのL2キャッシュメモリ要求を満たすようにサイズが決定される。一実施形態においては、キャッシュメモリは、チップのL2およびL3キャッシュメモリ要求を満たすようにサイズが決定される。各マイクロプロセッサおよびキャッシュメモリは好ましくは、プログラマブル信号バスによってリンクされる。好ましい一実施形態では、マルチプロセッサチップは少なくとも1つの冗長マイクロプロセッサを含む。1つの変形実施形態では、マイクロプロセッサおよびL2キャッシュメモリといったような大部分の面積コンポーネントの全てが少なくとも1つの冗長素子を有する。プログラマブル信号バスは、欠陥マイクロプロセッサまたは欠陥キャッシュメモリといったような欠陥コンポーネントを無効にし無視することも可能にする。

【0015】明細書に記載されている特徴および利点は、全く包括的なものではなく、特に当業者にとっては、図面、明細書および特許請求の範囲に照らして数多くの付加的特徴および利点が明らかになることだろう。その上、明細書中で使用された言語が主として読みやすさと指示のため選択されたものであり、進歩性のある内容の輪郭を描くまたは制限するために選択されなかった可能性があるという点も指摘しておく。

【0016】

【発明の実施の形態】図面は、例示として本発明の好ましい実施形態を描いている。当業者であれば、以下の説明から、本明細書に開示されている構造および方法の変形実施形態が、請求対象である発明の原理から逸脱することなく利用可能であることを容易に認識することであろう。

【0017】図4は、本発明のチップ300の第1の実

施形態を例示するブロック図である。チップ300は、好ましくは従来の半導体基板ダイサイズ (die size) 上に形成されている集積回路である。例示として、一部の詳細は省略する。本出願の発明者らは、紫外線リソグラフィ、光学パターン補正および位相シフトマスクングにおける近年の進歩のおかげで、高速マイクロプロセッサのサイズを従来の光学リソグラフィによって製造されるマイクロプロセッサと比べて4分の1以下に縮小することが可能であることを認識した。従って、図4に示されているように、チップ300は、ダイサイズ400平方ミリメートルといったような従来のダイサイズ内に複数のマイクロプロセッサ310を含んでいる。各マイクロプロセッサ310は、中央処理ユニット、従来のレベル1キャッシュメモリおよびその他の従来のマイクロプロセッサ回路を含む。好ましい実施形態においては、チップ300は、バラレルプロセッサとして一緒に動作するように結合されたマイクロプロセッサ310を有するマルチプロセッサチップである。マルチプロセッサチップ300は、従来の論理および制御回路 (図示せず) およびマイクロプロセッサ310またはそこからネットワークインターフェース (図示せず) まで信号を結合するためおよび各マイクロプロセッサを従来のオフチップメモリ (図示せず) まで結合するための、ピン出力接続 (図示せず) を含むことができる。以下でさらに詳述するように、好ましい一実施形態においては、紫外線リソグラフィによって、400平方ミリメートルの従来のダイサイズを有するマルチプロセッサチップ300の中に、オンチップ大容量L2DRAMキャッシュメモリに利用可能な付加的な余地も含めて9またはそれ以上のマイクロプロセッサ310を含めることができるようになる。

【0018】図4に示したように、好ましい一実施形態においては、各マイクロプロセッサ310は、基板302の埋込み絶縁体領域304上に製造されている。例示として、マイクロプロセッサ310は全て1つの埋込み絶縁体領域304上に存在するものとして示されているが、埋込み絶縁体領域304の1つの上に各マイクロプロセッサが形成されている状態でチップ300の表面全体に亘ってマイクロプロセッサ310を分散させることも可能であるということが理解されるであろう。図5の側面図に示されているように、埋込み絶縁体領域304は、基板302の上部表面301の下側に短い距離を置いて存在する埋込み絶縁体層305を有する。埋込み絶縁体層305は、結晶質表面領域307からバルク基板を分離している。従来の半導体製造技術は、領域307上にマイクロプロセッサを形成するために使用可能である。

【0019】好ましい実施形態においては、以下で記載する通り、基板302は、シリコン基板であり、埋込み絶縁体領域304は、一般にシリコンオンインシュレー

ター (SOI) 構造として知られているものを形成する埋込み酸化物である埋込み絶縁体層 305 を含む。SOI 構造の埋込み絶縁体層 305 は、その上に製造されたトランジスタの接合キャパシタンスを低減させる。バルクシリコン上に製造されたマイクロプロセッサと比べて、埋込み絶縁体層 305 はまた、より低い電力消費、高周波特性の改善および基板電流伝導の低減といったような、その他の利点をも提供する。SOI マイクロプロセッサは、バルクシリコン上に製造されたマイクロプロセッサよりも、著しく消費電力が低い。SOI マイクロプロセッサ (例えば 8 個) を単一のチップ 300 上に集積できるようにする、1 つの要因である。SOI マイクロプロセッサはまた、バルクシリコン上で製造されたマイクロプロセッサよりも最高 20 ~ 35 % の速いクロックサイクルで動作する。

【0020】1 つの好ましい実施形態においては、マルチプロセッサチップ 300 の各キャッシュメモリ 320 は、シリコン基板 302 のバルク領域内に製造された、すなわち埋込み絶縁体層 305 を持たない領域で形成されたダイナミックランダムアクセスメモリ (DRAM) として実現される。これは、高い漏れ電流のため、SOI 領域内に高性能 DRAM を製造することが実用的ではないからである。DRAM 回路は、同じデータ記憶容量を有する SRAM よりも約 7 ~ 10 分の 1 程コンパクトなものである。好ましい一つの実施形態においては、キャッシュメモリ 320 は、レベル 2 (L2) キャッシュメモリ機能を提供するに十分なデータ容量を持つ。しかしながら、以下でさらに詳細に記載するように、高密度 DRAM 技術によれば、オフチップレベル 3 (L3) キャッシュメモリにより従来提供されてきたメモリ機能を提供するためにキャッシュメモリ 320 を使用できるような形で、各キャッシュメモリ 320 が実質的なメモリ容量を有することができるようになる。

【0021】各キャッシュメモリ 320 は、基板上に製造された複数の相互接続ワイヤ 340 により、対応するマイクロプロセッサ 310 に結合される。各個別の相互接続ワイヤは 1 ビットを伝送し、相互接続ワイヤの群が、多数のデータバイトを同時に伝送するためバス内に配置される。相互接続ワイヤ 340 は、各マイクロプロセッサ 310 とそのキャッシュメモリ 320 の間でデータ信号を結合するための、高帯域信号バス 350 の一部である。マイクロプロセッサ 310 は、従来のデータポートといったような、相互接続ワイヤ 340 から信号を受信するためのあらゆる従来のデータインタフェース 355 を有することができる。同様に、キャッシュメモリ 320 は、従来のメモリポートといったような、キャッシュメモリ 320 内のデータにアクセスするための従来のあらゆるメモリインタフェース 354 を有することができる。相互接続ワイヤ 340 は好ましくは、銅

製相互接続ワイヤといったような、高コンダクタンスの相互接続ワイヤとして製造される。相互接続ワイヤはまた、好ましくは、相互接続の寄生キャパシタンスを低減させるべく、できるかぎり大きくなるように選択された厚みと低い誘電率 (例えば約 2.5 という相対誘電率) を持つ絶縁体によって、基板および基板のその他の導電性部分から分離されている。

【0022】相互接続ワイヤ 340 は、任意の既知のビットライン構造で構成されていてよい。本発明においては、相互接続ワイヤ 340 は従来の半導体製造技術を用いて基板上に製造されていることから、各マイクロプロセッサ 310 をその対応するオンチップキャッシュメモリ 320 に結合する相互接続ワイヤ 340 が大きな線密度 (ミリメートルあたりの数) で存在しうる。半導体処理は、現在、1 ミリメートルあたり約 4,000 ~ 9,000 本のワイヤを許容する。20 ミリメートル \times 20 ミリメートルのダイサイズを有するチップについては、これは、各々約 1.0 ~ 3 GHz の信号帯域を持つ最大 80,000 ~ 180,000 本の潜在的な相互接続信号経路に対応する。多数の潜在的な高帯域相互接続ワイヤは、各マイクロプロセッサ 310 が多数のラインにより、対応するキャッシュメモリ 320 に接続される (すなわち多数の相互接続ワイヤを介して広いワードの形でデータおよび命令をやりとりする) ことを可能にする。さらに上述のように、その高いコンダクタンス、低いキャパシタンス、および低い寄生インダクタンスのため、各相互接続ワイヤを高帯域の相互接続 (例えば 1.0 ~ 3.0 GHz の帯域) となるように設計することが可能である。

【0023】図 6 に示されているように、各相互接続は、好ましくは、信号バス 350 を通って伝播するデータ信号の劣化を低減させるべく、能動素子 370 (例えば、段状に配置された能動素子) を含む。能動素子 370 の例としては、バッファ、リピータバッファまたはデータ信号を再生するように配置されたバイプラインランッチが含まれる。能動素子 370 は、データインタフェース 355 またはメモリインタフェース 354 内を含め、信号バス内のどこにでも含めることができるということが理解されるであろう。データ信号を再生するための能動素子 370 を備える信号バスが、信号バスの有効帯域を改善する。本発明のメモリ帯域は、オフチップ L2 キャッシュメモリ 120 を備える従来のマルチプロセッサ 100 の 40 倍の信号数および 2 倍の周波数の能力を有すると推定される。従来のチップツーチップ実装技術は標準的に約 2,000 ~ 4,000 本の潜在的な合計オフチップワイヤのみを許容するに過ぎず、各オフチップワイヤの信号帯域は、標準的にワイヤ 1 本あたり約 0.5 ~ 1.5 GHz の範囲に制限されている。かくして、本発明のメモリ帯域は、従来のオフチップ L2 キャッシュメモリを備えるマルチプロセッサ 100 に比べ少なくとも 8

0倍大きいものと推定されている。

【0024】マルチプロセッサチップ300のシステム性能もまた、コンパクトメモリセルを持つ高密度DRAMアーキテクチャを利用することにより、本発明において改善される。マルチプロセッサチップ300のバルク領域内のDRAMとしてキャッシュメモリ320を製造することには、従来のダイサイズを有するマルチプロセッサチップ300内に大密度容量のL2キャッシュメモリを含めることができるという利点がある。その上、本発明の好ましい実施形態においては、オンチップキャッシュメモリ320のデータ容量は、それがオフチップL3キャッシュメモリに対するニーズを無くす、すなわち各キャッシュメモリ320が、従来別々のL2およびL3キャッシュによって供給されることになっていたデータおよび命令を提供するのに充分な容量を持つような形で充分大きいものとなるように選択される。例えば、0.1平方ミクロンという埋込み型DRAMセルサイズの場合、本発明のマルチプロセッサ300は、200平方ミリメートルのチップ面積内で1Gb(128MB)の合計DRAM容量を収納しうる。その結果、(ダイの約半がキャッシュメモリに振り向けられている状態で)約400平方ミリメートルというダイサイズをもつマルチプロセッサチップ300において、マルチプロセッサのL2およびL3キャッシュメモリ要求の全ては、オンチップL2キャッシュメモリ320のオンチップキャッシュ資源によって満たすことが可能である。また、L3キャッシュメモリを付加的なオンチップキャッシュとして実現することもできる、すなわち、マルチプロセッサチップ300は、L3キャッシュとしてのオンチップキャッシュメモリ320に信号バス350によって結合された各マイクロプロセッサ310を有することができる、ということも理解されるであろう。マルチプロセッサチップ300内にオンチップL2およびL3キャッシュ資源を提供することにより、オフチップL2キャッシュメモリ120およびオフチップL3キャッシュメモリ130を備える従来のマルチプロセッサ100に比較数多くのシステム上の利点が提供される。特に本発明においては、L2およびL3キャッシュメモリの両方のキャッシュ資源を提供するようなサイズを有するオンチップキャッシュメモリ320および高帯域の信号バス350を備えるマルチプロセッサチップ300は、高帯域のオンチップ信号バス350を介して、オンチップキャッシュメモリ320からオンチップマイクロプロセッサ310までデータを転送するのに必要とされるクロックサイクル数が比較的小数のため、マルチプロセッサチップ300の性能を実質的に改善すると期待される。

【0025】多数のマイクロプロセッサ310およびキャッシュメモリ320を内蔵するマルチプロセッサチップ300は、比較的大きいダイサイズを必要とし、従来のマイクロプロセッサよりも多いプロセス段階を利用す

ることになる。ダイあたりの処理コストは、かくして従来の高性能マイクロプロセッサチップの場合よりも高いと予想される。かくして経済的な製造プロセスには、許容できる使用可能チップあたりのコストにするための適正な歩留りが必要となる。単一チップ上に全てのマイクロプロセッサ310およびキャッシュメモリ320を集積させることもつ1つの欠点は、コンポーネントのうちの少なくとも1つが、マルチプロセッサチップ全体を使用不能にする重大な欠陥を持つことになる確率がきわめて高いという点にある。従って、本発明の好ましい実施形態では、チップの歩留りを改善するための冗長アーキテクチャが利用されている。図7は、プログラマブルセレクト回路590を有するプログラマブル信号バス595によって結合された冗長コンポーネントを持つマルチプロセッサ500の第1の実施形態を示す。少なくとも1つの追加(冗長)マイクロプロセッサ310が含まれる。追加(冗長)キャッシュメモリ320もまた好ましくは含まれる。かくして、合計N個の製造済みマイクロプロセッサ310を有するマルチプロセッサにおいて、信号バス595のプログラマブルセレクト回路590は、Nを整数として、能動マイクロプロセッサとしてのN-1個のマイクロプロセッサといったマイクロプロセッササブセットを選択する。同様にして、N個の製造済みキャッシュメモリがある場合、信号バスは、能動キャッシュメモリとしてのN-1個のキャッシュメモリといったようなキャッシュメモリサブセットを選択する。図8に示すように、プログラマブル信号バスは、マイクロプロセッサとキャッシュメモリとの間のリンク580を、欠陥コンポーネントを迂回するように選択できるようにする。好ましい実施例においては、プログラマブル信号バス595は、マイクロプロセッサとキャッシュメモリ間の適切なリンクを選択するように配置された複数のマルチプレクサを有するマルチプレクサ回路を利用する。図9は、選択された信号バスリンク580を介して1つのキャッシュメモリ素子320を1つのマイクロプロセッサ310にリンクするようにマルチプレクサ610をプログラムできるように配置した複数のマルチプレクサ610とバスリンク680を含むプログラマブルセレクト回路590を有するプログラマブル信号バス595の第1の実現例を示す。マルチプレクサをプログラムするための好ましい技術としては、ヒューズ、アンチヒューズ、スキャンストリングラッチまたはその他のプログラマブルメモリ素子に、各マルチプレクサ610の信号選択ライン(図示せず)を結合することが含まれる。図9に示されている冗長アーキテクチャは、プログラマブル信号バス595が欠陥キャッシュメモリ素子320Aまたは欠陥マイクロプロセッサ320Bを迂回できるようにする。しかしながら、またはそれ以上の冗長マイクロプロセッサまたはまたはそれ以上の冗長キャッシュメモリ素子を含むように冗長アーキテクチャを拡張

することもできるということが理解されるであろう。さらに、図10に示すように、バス配線内の欠陥を迂回できるようにするため、冗長バスリンクを含めることもできる。例えば、図10内のバス3 (Bus3) が欠陥である場合、マルチプレクサ610およびバスリンク Bus1, Bus2, ... Bus10から成るマルチプレクサ回路を、マイクロプロセッサ310Bといった欠陥マイクロプロセッサ、キャッシュ320Aといったような欠陥キャッシュおよびバス3といったような欠陥バスリンクをバイパスするようにプログラムすることができる。プログラムバス信号595を、テストデータやダイナミックバスを含めたその他のマルチプレクサ回路で実現することも可能であることが理解されるであろう。

【0026】冗長アーキテクチャは、2つの能動並列マイクロプロセッサと1つの冗長マイクロプロセッサを伴うマルチプロセッサチップといったような、オンチップキャッシュメモリ320に信号バスにより結合された1またはそれ以上の能動マイクロプロセッサ310を持つ任意のチップによって実施することもできるということが理解されるであろう。図7~10に示す冗長アーキテクチャは、冗長マイクロプロセッサを追加するための増分ダイ面積が小さいことから、多数のマイクロプロセッサおよびオンチップキャッシュメモリに振り向けられた広い面積をもつチップに対して、最大の費用利益を提供する。例えば、(面積が) L2キャッシュの2分の1であり、パラレルプロセッサとして動作する8つのマイクロプロセッサを有するマルチプロセッサは、冗長マイクロプロセッサによって提供される有効マイクロプロセッサ歩留りおよびチップ生産性の改善に比べてわずか6%という小さい単一冗長マイクロプロセッサ用の増分ダイ面積しか必要としない。しかしながら、実質的な費用利益は、L2キャッシュに伴う面積のためわずかに1つの能動マイクロプロセッサしか持たないマルチプロセッサチップについても達成される。例えば、1つの付加的マイ*

冗長性なしマルチプロセッサについての推定歩留り

欠陥率 (欠陥数/cm ²)	0.25	0.50	1.0	2.0
180mm ² あたりの キャッシュ	90%	90%	90%	90%
160mm ² で8個の マイクロプロセッサ	67%	45%	20%	4%
340mm ² での従来技術の チップ	60%	40%	18%	4%

【0029】

* クロプロセッサを追加することは、チップの半分がL2キャッシュであるとき合計チップ面積の25%未満にしか相当しない。付加的マイクロプロセッサを付加する増分コストは、付加的なマイクロプロセッサを追加することのもたらす費用利益に比べれば小さいものである。

【0027】マルチプロセッサ500の冗長アーキテクチャは、チップ面積をわずかに増大させるだけでチップ歩留りを劇的に改善する。デバイス臨界面積をもつ単一コンポーネントの歩留りは、 Y_c を臨界面積の歩留り、 D を欠陥率、 A_c を臨界面積とすると、 $Y_c = \exp\{-(D \times A_c)\}$ という式により見積ることができる。冗長ケースについては、チップ歩留りは、組合せ確率の技術を用いて計算可能である。一例として、1つの冗長マイクロプロセッサと共に9つのマイクロプロセッサを有するマルチプロセッサ、すなわち8つの能動マイクロプロセッサを必要とする1つのマルチプロセッサチップを考慮する。合計マイクロプロセッサ歩留りは、 Y_{pr} を冗長を伴う歩留りとし、 Y_p を個々のマイクロプロセッサの歩留りとする、 $Y_{pr} = (Y_p)^8 + 9(Y_p)^7(1 - Y_p)$ である。下記表1は、複数の異なる欠陥率を仮定して合計8つのマイクロプロセッサを持つマルチプロセッサ300の推定歩留りの比較を示す表である。また下記表2は、冗長コンポーネントとして確保されたマイクロプロセッサのうちの1つと共にチップ上に製造された合計9つのマイクロプロセッサを有するマルチプロセッサ500の場合を示す表である。各キャッシュメモリおよび各マイクロプロセッサによって占有される面積は、表1のものと同じであると仮定する。冗長アーキテクチャの使用は、チップ歩留りを劇的に改善し、1平方センチメートルあたり2個の欠陥という欠陥密度の場合において、チップ歩留りをほぼ3倍にする。

【0028】

【表1】

【表2】

冗長マイクロプロセッサを有するマルチプロセッサについての推定歩留り

欠陥率 (欠陥数/cm ²)	0. 25	0. 5	1. 0	2. 0
180nm ² あたりのキャッシュ	90%	90%	90%	90%
20nm ² につき1個のマイクロプロセッサ	95%	90%	82%	67%
180nm ² あたり9個のマイクロプロセッサのうち8個	93%	79%	49%	15%
360nm ² についてのチップ歩留り	84%	71%	45%	13%
より少ないチップ/ウェーハを補償すべく正規化されたチップ歩留り	79%	67%	42%	13%

【0030】図11は、マイクロプロセッサとL2キャッシュメモリのブロックの相対面積を示すマルチプロセッサチップの好ましい開取り図である。各L2キャッシュメモリはデータおよび命令素子に分割される。この開取り図には、浮動小数点マクロ (FMAC) と、論理をテストしプリングアップ/デバッグロジックするに使用するテスト補助プロセッサ (TAP) およびフェーズロックループ (PLL) 高周波クロックといったようなその他の従来の素子が含まれている。FMAC、TAP およびPLLもまた、好ましくは、冗長バックアップ素子を伴って実現される。マルチプロセッサ内の効率の良い配線割当ては各ブロックの待ち時間、帯域および相互接続ワイヤ要求の間の折り合いである。好ましい多重レベル相互接続信号パスは、3つの相互接続ワイヤ物理レベル、すなわち最下位配線レベル、中間配線レベルおよび最上位配線レベルを有する。最上位レベルの相互接続ワイヤは、ワイヤ間のより広い間隔どりおよび最高のワイヤあたり帯域をもつ。最下位レベル (基板に最も近いもの) は、より高密度で実装されているもの、ワイヤ1本あたりより低い帯域幅を有する。ブロックのための相互接続ワイヤ必要条件は、レントの法則を用いて当業者が見積ることのできるものである。最大面積のブロックは、好ましくは最上位レベルの相互接続ワイヤにより結合され、一方さらに小さなブロックは好ましくは、最下位レベルの相互接続ワイヤにより結合される。

【0031】マルチプロセッサ300、400および500を製造するための好ましいプロセスには、酸素注入による分離 (SIMOX) プロセスの変形形態を用いて埋込み酸化物 (BOX) 層を形成するため、SOI領域内に選択的に酸素を注入する段階が含まれる。従来のSIMOXプロセスは標準的に、ウェーハ全体に亘ってBOX層を形成すべく酸素をウェーハ全体に注入する。本発明においては、マスクされた領域を形成するために、パターン化したマスクが用いられる。マスクは、酸素イオンを遮断しその後の処理段階と相容性あるあらゆる適切なマスク材料で形成することができる。図12に

示すように、本発明においては、基板302のパターン化された領域は、選択された領域内でチップの表面301より下に注入された酸素イオンの注入層910を形成するように、選択的に酸素イオンの注入を受ける。図13に示すように、その後のアニーリング段階は、その注入を受けた領域を、二酸化ケイ素のBOX層920へと変換する。二酸化ケイ素は、各シリコンの体積に対し結晶質シリコンの体積の2.2倍を占有している。その結果、図13に示すように、アニーリング手順の結果、注入を受けたシリコン領域の体積膨張に起因して注入領域920の表面上にできた段差930の増大をもたらす。

【0032】好ましい実施形態においては、酸素注入は、800〜120keVの範囲のエネルギーで注入される1平方センチメートルあたり約10¹⁸〜10¹⁹の範囲のドーズ量をもつ。これは、シリコンエピタキシャル層の表面901より下約100〜200ナノメートルの深さdのところに配置された厚み100〜400ナノメートルの厚みtをもつBOX層に対応する。これらのパラメータを選択するためのポストアニールでの段差の高さは、約25〜100ナノメートルの範囲にある。

【0033】表面における段差930の増大は、アニーリング段階に続いて2つの異なる表面上の平面901、902をもたらす。このことは、特にその後のリソグラフィ段階での焦点深さよりもこの段差930が大きい場合に、リソグラフィ上の問題を生じさせる可能性がある。その後のプロセス段階におけるSOI領域の表面高さの増大という結果を最小限に抑えるために単独かまたは組合わせた形で使用できる技術がいくつか存在する。1つのアプローチは、シリコンオンインシュレータ領域の表面高さの増大を低減させるべく、注入パラメータを調整することである。注入ドーズ量およびエネルギーは、BOX層の合計厚みを200ナノメートル未満の厚みに至るまで、できるだけ減少させるように選択できる。ここで好ましい厚み範囲は100〜200ナノメートルであり、対応する段差930は、25〜50ナノメートルである。しかしながら200ナノメートル未満

のBOX層厚みについては、寄生バックゲート導通は従来のSOI構造を用いると望ましくないほどに高いものになる。バックゲート導通は、下に存在する基板1040がゲート電極として機能し、BOX層920がゲート酸化層のように機能し、表面シリコン領域1050 (BOX層920より厚み「d」) が寄生FETのためのチャネルとして機能するとき、BOX層920のすぐ上に形成される等価FETによる寄生FET導通としてモデル化される。好ましい実施形態においては、比較的薄いBOX層920による寄生バックゲート導通は、表面Si/BOX界面1030に近接してイオン層1020を注入することによって抑制され、ここで、注入されたイオンは、基板-BOX界面でバックゲート導通を抑制するように選択された、極性および電荷密度を有する。これは、図13において、発明者らが「バックゲート抑制注入層」1020 (図10に影のように示される) と称する注入層1020として示されている。バックゲート抑制注入層1020は好ましくは、表面シリコン1050とBOX層920の界面1030にできるかぎり近いところに注入される。NMOSトランジスタデバイスについては、50~80keVのエネルギーで $1 \sim 2 \times 10^{13}$ のドーズ量のホウ素注入によるのが、好ましいバックゲート抑制注入層1020である。PMOSデバイスについては、100~150keVのエネルギーで $1 \sim 2 \times 10^{13}$ のドーズ量のリン注入によるのが、好ましいバックゲート抑制注入層1020である。

【0034】SOI領域の表面での段差930はまた、SOIおよびバルク領域上に臨界領域を形成するための別々のリトグラフィ露光、すなわち、画像平面901、902うちの1つのみが一度にパターン化される多数のリトグラフィ段階を有するプロセスを用いることによって対処できる。さらに、表面を平坦化するために、化学機械研磨 (CMP) またはその他の従来の平坦化技術を使用することができる。化学機械研磨技術は、半導体ウェハーの表面を、下にある層に付きわけてわずかな損傷しか与えることなく平坦化することができる。CMP段階が使用される場合には、臨界ゲート酸化層およびゲート導電層が形成される前に実施されるCMP段階があり、かくしてこれらの段階を平坦な表面上で実施することができるようにしている。代替的には、ゲート酸化層が成長させられポリシリコンが被着させられた後、CMPを通してポリシリコンを平坦化させることもできる。こうして、その後の全ての処理段階のリトグラフィが容易になる。

【0035】本発明により与えられる高いメモリ帯域は、従来のマイクロプロセッサに比べマイクロプロセッサの速度を幾分か低下させるものの、高性能マルチプロセッサチップの実現を可能にする。すなわち、メモリ帯域とマイクロプロセッサ速度に折り合いをつけることができる。例えば、DRAMプロセス段階により引

き起こされるマイクロプロセッサ速度の20~30%の低下は、マイクロプロセッサと同じチップ上に大容量L2キャッシュメモリを設置することによって得られるメモリ帯域の大幅な増大のために、本発明において許容し得るものである。それでも、システム性能を最良にするために、DRAMキャッシュメモリ領域は好ましくは、マイクロプロセッサSOI領域内のトランジスタの性能を実質的に劣化させないプロセスを用いて製造される。チップのマイクロプロセッサ領域は、有害な拡散を伴った熱供給をする。その結果、プロセスフローは好ましくは、DRAM製造プロセス中のマイクロプロセッサトランジスタの劣化を最小限におさえるために、最も高温の熱拡散段階がプロセス中の最も早い時期 (臨界マイクロプロセッサドーパント拡散段階に比べて) に起こるようなところに配置される。好ましいDRAM製造プロセスは、マイクロプロセッサトランジスタに有害な影響を及ぼす高温熱サイクルを最小限しかもたない埋込み型DRAMプロセスである。埋込み型DRAMプロセスの1つの利点は、平坦性を改善するようにプロセスフローを配置できること、すなわち、ポリシリコンおよび金属層がマイクロプロセッサ領域内のトランジスタおよび金属層のものとはほぼ同じ高さにある状態でシリコン基板内の下方に、埋込み型DRAMを製造することができるということにある。適切な埋込み型DRAMプロセスの一例は、いわゆる「トレンチDRAM」構造である。トレンチダイナミックランダムアクセスメモリ構造は、多層ポリシリコンコンデンサ構造を持つ従来のDRAMトランジスタのように付加的な高温熱サイクルを必要としない、埋込みストラップトレンチコンデンサと縁付き (bordered) ビットラインコンタクトとを使用する。好ましいトレンチDRAMプロセスは、S. Crowder, R. Hanno, H. Ho, D. Sinitsky, S. Wu, K. Winstel, B. Khan, S. R. Stiffler および S. S. Iyer, による論文「銅BEOを用いた埋込み型DRAM高性能0.18 μ m論理技術」International Electron Devices Meeting, San Francisco, CA 1998年12月6~9日、IEDM Technical Digest, IEEE (1998) の中で記述されている通りのFishkill (New York) のInternational Business Machines (IBM) が開発したものと類似のものである。

【0036】本発明においては、マイクロプロセッサ310およびDRAMキャッシュメモリ320は、好ましくは、従来のダイサイズの中に多数の (例えば9個) プロセッサを含めるようにするため各主要素子の面積を最小限にする回路レイアウトおよびプロセス段階を用いて実現される。トランジスタのゲート長の減少による、周知のスケーリング法則 (scaling law) に従ったトランジスタ面積の減少を伴う。好ましいリトグラフィプロセスは、臨界トランジスタゲート寸法のもを製造するために、深紫外線 (DUV: Deep UV) リトグラフィを使用

19
 することである。DUVリトグラフィ技術は、100ナノメートルまたはそれ以下のゲート長の製造を可能にする。DUV光源の一例としては、248または193ナノメートルの波長をもつエキシマレーザがある。好ましくは、フェーズシフトマスク（PSM）を有するDUVリトグラフィが、線幅の制御を容易にするために使用される。PSMは、光回折により引き起こされる拡散効果の一部を相殺して、強め合うおよび弱め合う干渉を作り出す点で有利である。PSMマスクは標準的には、増大した光学厚みをもつパターン化シフト層およびベース材料を含む。1つの実施例においては、位相シフト領域は、ベース領域よりもさらに3/4波長で通過光を遅延させ、一方薄膜被覆領域は、1/4波長で光を遅延させる。3/4波長材料のストリップを1/4波長のところに隣接して置いた場合、1/2波長の差が、マスク上に像を印刷する干渉パターンを生成する。より小さいシフトは、露光限界より下にあり、像を印刷しない。

【0037】本発明は、高性能マルチプロセッサチップに関して詳細に記載してきたが、当業者であれば、本発明の実施形態を、高密度メモリが単一の集積回路チップ内の論理処理と組合わされるさまざまな回路、特にバルクおよびSOI回路が同じダイ上に組合わされている回路に応用できるということが理解できるだろう。例えば、数多くのデジタル信号プロセッサ、デジタル/アナログ混合チップ、グラフィクスプロセッサ、ディスクコントローラ、マルチメディアコントローラ、MPEGエンコーダおよびビデオテーブルコーダ等は、少なくとも1つのマイクロプロセッサおよび高密度メモリを含む回路を有する。本発明によると、プログラマブル信号バスは、チップ歩留りを改善するように含められた少なくとも1つの冗長マイクロプロセッサまたはメモリを備えるさまざまな異なるタイプの回路のマイクロプロセッサを集積するために用いられる。さらに、本発明によると、SOI上で製造された高性能マイクロプロセッサおよびバルクシリコン上で製造されたDRAMメモリをもつさまざまな異なるタイプの回路を製造することができる。

【0038】以上詳述した本発明の実施の態様は次のとおりである。

（付記1） 冗長素子を備える集積回路チップにおいて、基板ダイに、各々データインタフェースを有する前記基板ダイ内に配置された複数のマイクロプロセッサと、複数のキャッシュメモリであって、該キャッシュメモリにアクセスするため少なくとも1つのメモリインタフェースを有する、前記基板ダイ内に配置された複数のキャッシュメモリと、情報を処理するために使用される前記複数のマイクロプロセッサのサブセットを選択するために、各選択されたマイクロプロセッサのデータインタフェースを1つの選択された前記キャッシュメモリのメモリインタフェースにリンクするプログラマブルセクタ回路

を含む、前記基板ダイ内に配置された信号バスと、を含んでなる集積回路チップ。（1）

（付記2） 前記基板ダイが、少なくとも1つのバルク領域および少なくとも1つのシリコンオンインシュレータ領域を有する導電性シリコン基板を含んでなり、前記キャッシュメモリが前記少なくとも1つのバルク領域上に存在するダイナミックランダムアクセスメモリであり、前記マイクロプロセッサが前記少なくとも1つのシリコンオンインシュレータ領域上に存在する付記1に記載の集積回路チップ。（2）

（付記3） 前記信号バスが広帯域信号バスである付記1に記載の集積回路チップ。

【0039】（付記4） 前記信号バスがさらに、各前記マイクロプロセッサとそれにリンクされた前記キャッシュメモリとの間で該信号バスにより結合されたデータ信号を再成するための少なくとも1つの能動素子を含んでなる付記1に記載の集積回路チップ。

（付記5） 前記チップがマルチプロセッサであり、合計でN個のマイクロプロセッサが存在し、並列処理のために前記セクタ回路によりN-1個のマイクロプロセッサのサブセットが選択される付記1に記載の集積回路チップ。

【0040】（付記6） 合計N個の前記キャッシュメモリが存在し、並列処理のために前記セクタ回路によりN-1個のキャッシュメモリのサブセットを選択する付記5に記載の集積回路チップ。

（付記7） 前記キャッシュメモリがレベル2キャッシュメモリユニットである付記5に記載の集積回路チップ。

【0041】（付記8） 各前記キャッシュメモリがレベル2キャッシュメモリおよびレベル3キャッシュメモリのキャッシュ資源を提供するようにサイズが決定されたキャッシュを含んでなる付記7に記載の集積回路チップ。

（付記9） 前記チップがマイクロプロセッサであり、前記信号バスが、パラレルプロセッサとして、該マイクロプロセッサを結合する付記1に記載の集積回路チップ。

【0042】（付記10） 前記複数のマイクロプロセッサが少なくとも9つのマイクロプロセッサを含む付記9に記載のマルチプロセッサ。

（付記11） 前記プログラマブルセクタ回路がマルチプレクサ回路である付記1に記載のマルチプロセッサ。

（付記12） 前記キャッシュメモリがレベル2キャッシュメモリおよびレベル3キャッシュメモリを含み、各前記マイクロプロセッサが、1つのレベル2キャッシュメモリおよび1つのレベル3キャッシュメモリに前記信号バスにより結合される付記1に記載のマルチプロセッサ。

【0043】（付記13） シリコン基板ダイであつて、少なくとも1つのバルク領域および少なくとも1つのシリコンオンインシュレータ領域を有し、該シリコンオンインシュレータ領域は結晶質シリコンの外部表面層から予め選択された距離のところに存在する埋込み酸化物層を含む、シリコン基板ダイと、各々前記少なくとも1つのシリコンオンインシュレータ領域内に形成され、かつ、各々データインタフェースを有する、複数のマイクロプロセッサと、複数のダイナミックランダムアクセスメモリ（DRAM）キャッシュメモリであつて、前記少なくとも1つのバルク領域内に形成され、各々メモリアクセス用のメモリアインタフェースを有する、複数のダイナミックランダムアクセスメモリ（DRAM）キャッシュメモリと、パラレルプロセッサとして前記キャッシュメモリの1つの対応するメモリアインタフェースに1つのマイクロプロセッサのデータインタフェースをリンクするための相互接続ワイヤを有する、前記基板上に形成された高帯域信号バスと、を含んでなるマルチプロセッサチップ。（3）

（付記14） 前記信号バスが、前記パラレルプロセッサによって利用されるコンポーネントのサブセットを選択するためのプログラマブルセレクト回路を含み、かくして、欠陥コンポーネントをバイパスし、該選択されたコンポーネントは、マイクロプロセッサ、キャッシュメモリおよび信号バスの相互接続ワイヤから成るグループの中から選ばれた付記13に記載のマルチプロセッサ。

【0044】（付記15） 前記キャッシュメモリがトレンチDRAMメモリで構成される付記13に記載のマルチプロセッサ。

（付記16） 前記埋込み酸化物層が200ナノメートル未満の厚みを有する付記15に記載のマルチプロセッサ。

（付記17） 前記結晶質シリコンの表面層と前記埋込み酸化物の界面近くに配置されたイオン層をさらに含んでなり、前記イオンが、バックゲート導通を抑制するために選択された極性およびドーズ量をもつ付記16に記載のマルチプロセッサ。

【0045】（付記18） 前記信号バスが、前記マイクロプロセッサと前記キャッシュメモリとの間に結合された、信号を再生するための少なくとも1つの能動素子を含む付記13に記載のマルチプロセッサ。

（付記19） 前記キャッシュメモリの各々がレベル2キャッシュメモリである付記13に記載のマルチプロセッサ。

【0046】（付記20） 前記キャッシュメモリの各々が、レベル2およびレベル3キャッシュメモリの機能を提供するのに十分なデータ容量を有する付記13に記載のマルチプロセッサ。

（付記21） 前記キャッシュメモリが、レベル2およびレベル3のメモリを含んでなる付記13に記載のマル

チプロセッサ。

【0047】（付記22） シリコン基板ダイであつて、少なくとも1つのシリコンオンインシュレータ領域および少なくとも1つのバルク領域を有し、該シリコンオンインシュレータ領域は、結晶質シリコンの外部表面より下へ予め選択された距離のところに存在する埋込み酸化物層を含むシリコン基板ダイと、各々前記少なくとも1つのシリコンオンインシュレータ領域内に形成され、データインタフェースを各々有する複数のマイクロプロセッサと、複数のメモリであつて、前記少なくとも1つのバルク領域内に形成され、各々該メモリにアクセスするためのメモリアインタフェースを有する、複数のダイナミックランダムアクセスメモリ（DRAM）レベル2キャッシュメモリと、パラレルプロセッサとしてレベル2キャッシュメモリの1つの対応するメモリアインタフェースに1つのマイクロプロセッサのデータインタフェースをリンクするための相互接続ワイヤを有する前記基板上に形成された高帯域信号バスであつて、並列処理のために使用すべき前記複数および前記複数のマイクロプロセッサのサブセットを選択するためのプログラマブルセレクト回路を含み、かつこのセレクト回路が各々の選択されたマイクロプロセッサのデータインタフェースを1つの選択されたキャッシュメモリのメモリアインタフェースにリンクし、かくして欠陥マイクロプロセッサまたは欠陥メモリをバイパスする高帯域信号バスと、を含んでなるマルチプロセッサチップ。（4）

（付記23） 前記レベル2キャッシュメモリが、オフチップレベル2およびレベル3キャッシュメモリの機能を提供するようにサイズが決定されている付記22に記載のマルチプロセッサチップ。

【0048】（付記24） 前記少なくとも1つのバルク領域内に形成された第2の複数のダイナミックランダムアクセスメモリ（DRAM）キャッシュメモリであつて、各該キャッシュメモリはレベル3キャッシュメモリの機能を果たすようにサイズが決定されると共に該メモリにアクセスするためのメモリアインタフェースを有し、ここに該第2の複数のキャッシュメモリは、そのうち1つのキャッシュメモリにリンクされた1つのマイクロプロセッサを備える複数のマイクロプロセッサに前記信号バスによって結合される。第2の複数のランダムアクセス（DRAM）メモリ、をさらに含んでなる付記22に記載のマルチプロセッサチップ。

【0049】（付記25） シリコン基板上にマルチプロセッサチップを形成する方法において、

a) マスクされた領域およびマスクされない領域を形成するべく基板をマスクする段階と、

b) マスクされた領域内のバルク領域およびマスクされない領域内の基板表面の下側の注入領域を形成するように選択された、エネルギーおよびドーズ量を有する酸素イオン注入を前記基板に行う段階と、

- c) 前記注入領域内でシリコンオンインシュレーターを形成すべく前記基板をアニールする段階と、
 d) 深紫外線リソグラフィを通して前記注入領域内で高密度マイクロプロセッサを形成する段階と、
 e) 前記基板のバルク領域内でダイナミックランダムアクセスメモリユニットを形成する段階と、
 f) 信号バスを介して前記マイクロプロセッサに前記メモリユニットを結合するために信号バスを形成する段階と、を含んでなる方法。(5)

(付記 26) 寄生バックゲート導通を抑制すべく結晶質シリコンの表面層と二酸化シリコンの界面の近くでバックゲート導通抑制電荷層を注入する段階をさらに含んでなる付記 25 に記載の方法。

【0050】本発明の特定の実施形態および適用について例示し記述してきたが、本発明は本明細書に開示されている精確な構造およびコンポーネントに制限されるものではなく、当業者にとって明白なさまざまな修正、変更および変形形態を、特許請求の範囲において規定されている本発明の精神および範囲から逸脱することなく本明細書に開示されている本発明の方法および装置の配置、動作および詳細の中に加えることも可能であるとい

【図面の簡単な説明】

【図 1】従来技術のマルチプロセッサの回路図である。
 【図 2】従来技術のマルチプロセッサのメモリ帯域の欠点のいくつかを例示する図（その 1）である。

【図 3】従来技術のマルチプロセッサのメモリ帯域の欠点のいくつかを例示する図（その 2）である。

【図 4】本発明によるマルチプロセッサの 1 つの実施形態の回路図である。

【図 5】破断線 5-5 に沿った図 4 のマルチプロセッサの一部分の例示的側面図である。

【図 6】能動信号再成要素を持つ図 4 の信号バスの詳細部分を示すブロック図である。

【図 7】本発明による冗長コンポーネントを有するマルチプロセッサの実施形態の回路図である。

【図 8】欠陥コンポーネントを迂回するのに図 7 の回路をいかに使用できるかを例示する図である。

【図 9】図 7 のマルチプロセッサの第 1 の好ましい実施形態の回路図である。

【図 10】図 8 のマルチプロセッサの第 2 の好ましい実

* 施形態の回路図である。

【図 11】主要コンポーネントの相対面積および場所を示す好ましいマルチプロセッサレイアウトの間取り図である。

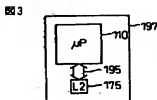
【図 12】基板中の選択された領域内に埋込み酸化物質を形成するためのマスクされた注入段階を示す基板側面図である。

【図 13】アニーリング後の注入領域での段差を例示する図 12 の基板の側面図である。

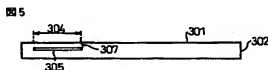
【符号の説明】

- 100…マイクロプロセッサシステム
 110…マイクロプロセッサチップ
 120…L2 キャッシュメモリチップ
 130…L3 キャッシュメモリチップ
 140…ネットワーク信号バス
 150…チップエッジピン I/O 接続
 155…ワイヤ
 300…マルチプロセッサチップ
 302…基板
 304…埋込み絶縁体領域
 305…埋込み絶縁体層
 307…結晶質表面領域
 310…マイクロプロセッサ
 320…キャッシュメモリ
 340…相互接続ワイヤ
 350…高帯域信号バス
 354…メモリインタフェース
 370…能動素子
 400, 500…マルチプロセッサ
 580…リンク
 590…プログラマブルセレクト回路
 595…プログラマブル信号バス
 610…マルチプレクサ
 680…バスリンク
 910…酸素イオン注入層
 920…二酸化ケイ素の BOX 層
 930…段差
 1020…イオン層
 1030…界面
 1050…表面シリコン領域

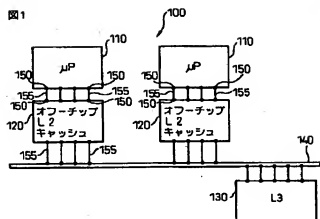
【図 3】



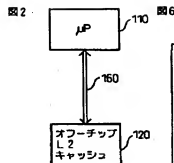
【図 5】



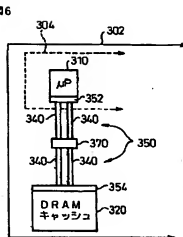
【図1】



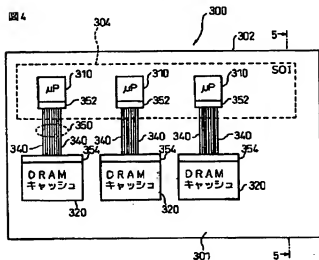
【図2】



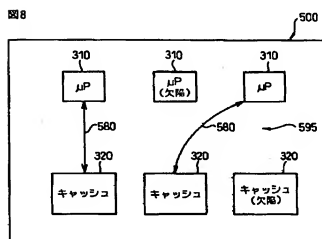
【図6】



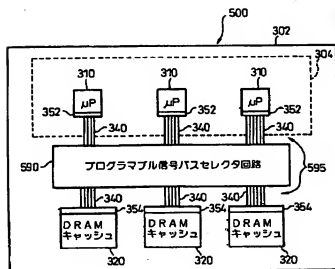
【図4】



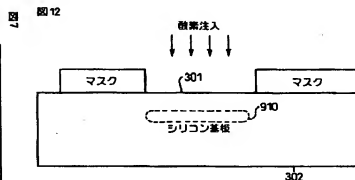
【図8】



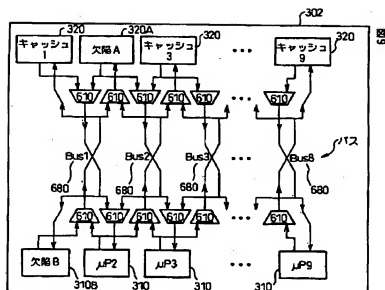
【図7】



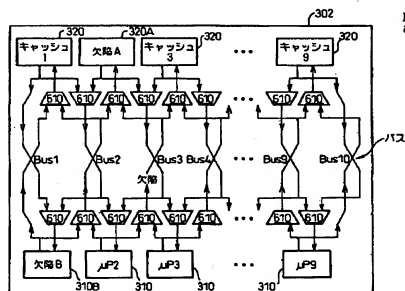
【図12】



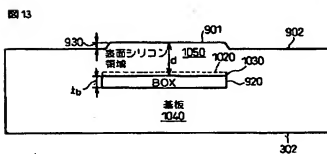
【図9】



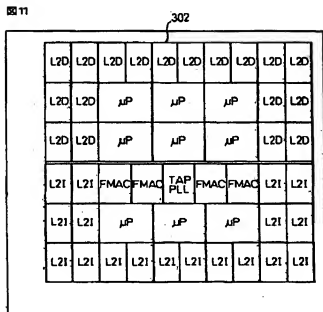
【図10】



【図13】



【図 11】



フロントページの続き

(51) Int. Cl.⁷

G 0 6 F 15/16

H 0 1 L 27/04

27/12

識別記号

6 4 0

F I

H 0 1 L 27/12

27/04

テーマコード (参考)

L

U

(72) 発明者 グレゴリー エス. スコット
 アメリカ合衆国, カリフォルニア 95051,
 サンタ クララ, ヒッコリー プレイス
 474

F ターム (参考) 5B005 KK22 MM05 UU16
 5B018 GA06 HA21 HA35 KA13 MA03
 NA02
 5B034 AA04 CC01 CC02 DD05
 5B045 DD12 JJ26 KK08
 5F038 CD07 DF04 DF05 DF11 DF12
 EZ06 EZ20